

특 2001-0065747

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

H01L 21/336

(11) 공개번호 특2001-0065747

(43) 공개일자 2001년07월11일

(21) 출원번호

10-1999-0065685

(22) 출원일자

1999년12월30일

(71) 출원인

주식회사 하이닉스반도체 박종섭

(72) 발명자

경기 이천시 부발읍 아미리 산136-1

장훈

충청북도청주시흥덕구가경동1511더원아파트101-501호

김광수

경기도이천시부발읍신하리삼익아파트104-901

백성학

충청북도청주시흥덕구분평동1200주공아파트301-705호

(74) 대리인

박대진, 정은섭

심사청구 : 없음

(54) 반도체소자의 쇼트 방지구조 및 그 제조방법

요약

본 발명은, 반도체소자의 쇼트 방지구조 및 그 제조방법에 관한 것으로서, 특히, 반도체기판에 STI공정으로 소자분리막을 형성하고 활성영역에 게이트전극층을 적용하여 마스크식각으로 게이트를 형성한 후, 소자분리막을 일정한 단차를 갖도록 식각한 후, 게이트의 양측면부에 이온을 주입하여 소오스/드레인영역의 양측 끝단부를 라운드지게 형성하고, 살리사이드공정으로 소오스/드레인영역 상에 살리사이드층을 형성한 후, 후속공정에서 메탈플러그를 소오스/드레인영역에 연결하므로 메탈플러그와 웰영역과의 쇼트를 방지하여 소자의 특성을 향상하도록 하는 매우 유용하고 효과적인 발명에 관한 것이다.

도표도

도8

색인어

소자분리막 트렌치 단차 라운드부 절곡 쇼트 방지

참고문헌

도면의 간단한 설명

도 1은 종래의 반도체소자의 게이트와 메탈플러그가 서로 연결되어진 구조를 보인 도면이고,

도 2 내지 도 6은 본 발명의 반도체소자의 쇼트 방지구조를 순차적으로 형성하는 방법을 보인 도면이다.

•도면의 주요 부분에 대한 부호의 설명•

10 : 반도체기판

15 : 소자분리막

20 : 게이트산화막

25 : 게이트전극층

30 : LDD이온주입영역

35 : 스페이서

40 : 라운드부 45 : 소오스/드레인영역
55 : 살리사이드층 60 : 용간접연막
70 : 메탈플러그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 게이트전극의 소오스/드레인 및 메탈플러그를 연결하는 구조를 제조하는 방법에 관한 것으로서, 특히, 트랜지스터의 소오스/드레인영역의 양측 끝단부를 라운드지게 형성하고, 살리사이드공정으로 소오스/드레인영역 상에 살리사이드층을 형성한 후, 후속공정에서 메탈플러그를 소오스/드레인영역에 연결하므로 메탈플러그와 웰영역과의 쇼트를 방지하여 소자의 특성을 향상하도록 하는 반도체소자의 쇼트 방지구조 및 그 제조방법에 관한 것이다.

일반적으로, 반도체기판 상에 트랜지스터와 커패시터들을 형성하기 위하여 반도체기판에는 전기적으로 통전이 가능한 활성영역(Active Region)과 전기적으로 통전되는 것을 방지하고 소자를 서로 분리하도록 하는 소자분리영역(Isolation region)을 형성하게 된다.

최근에 반도체기판에 소자분리영역을 형성하기 위하여 반도체기판에 일정한 깊이를 갖는 트렌치(Trench)를 형성하고서 이 트렌치에 산화막을 증착시키고서 화학기계적연마(Chemical Mechanical Polishing)공정으로 이 산화막의 불필요한 부분을 식각하므로 소자분리영역을 반도체기판에 형성시키는 STI(Shallow Trench Isolation)공정이 최근에 많이 이용되고 있다.

도 1은 종래의 반도체소자의 게이트와 메탈플러그를 연결하는 구조를 보인 도면으로서, 제조방법을 살펴 보도록 한다.

도 1에 도시된 바와 같이, 반도체기판(1)에 STI(shallow trench isolation) 소자분리공정으로 소자분리막(2)을 형성한 후, 소자분리막(2) 사이의 활성영역에 게이트산화막(3) 및 게이트전극층(4)을 순차적으로 적층하도록 한다.

그리고, 상기 게이트산화막(3)과 게이트전극층(4)을 마스크식각으로 게이트(A)를 형성한 후, 미온을 주입하여 LDD미온주입영역(5)을 형성하고 게이트(B)의 양측면에 스페이서(6)를 형성하고, 재차 활성영역에 미온을 주입하여 소오스/드레인영역(7)을 형성하도록 한다.

그런 후에 상기 결과를 상에 용간접연막(8)을 적층한 후, 마스크식각으로 소오스/드레인영역(7)으로 연결되는 콘택홀을 형성하고, 그 콘택홀 내에 금속층을 패딩하여 식각하므로 메탈플러그(9)를 형성하도록 한다.

그러나, 도 1에서 도시된 바와같이, 반도체기판(1)에 형성된 소오스/드레인영역(7)의 정션깊이가 일정하여 보일리스 콘택(borderless contact)을 형성할 때, 공정상 포토 마스크 작업에서 약간의 미스얼라인(misalign)이 발생하는 경우, 정션영역에서 누설전류가 발생되어 소자의 전기적인 특성이 나빠지는 문제점을 지닌다.

또한, 상기한 현상이 심한 경우에는, 도 1에서 'A'로 표시된 바와 같이, 드레인영역(7)과 웰영역에 서로 쇼트(short)가 발생하여 소자의 작동 불량을 유발하는 심각한 문제를 초래하는 단점을 지닌다.

발명이 이루고자하는 기술적 과제

본 발명은 이러한 점을 감안하여 안출한 것으로서, 소자분리막을 일정한 단차를 갖도록 식각한 후, 게이트의 양측면부에 미온을 주입하여 소오스/드레인영역의 양측 끝단부를 라운드지게 형성하고, 어닐링하고 살리사이드공정으로 소오스/드레인영역 상에 살리사이드층을 형성한 후, 후속공정에서 메탈플러그를 소오스/드레인영역에 연결하므로 메탈플러그와 웰영역과의 쇼트를 방지하여 소자의 특성을 향상하는 것이 목적이다.

발명의 구성 및 작동

이러한 목적은 반도체기판에 STI공정으로 소자분리막을 형성하고 활성영역에 게이트산화막과 게이트전극층을 적층한 후, 패터닝하여 게이트를 형성하는 반도체소자 구조에 있어서, 상기 소자분리막을 일정 깊이의 단차를 갖도록 식각하여 반도체기판의 모서리 라운드부를 노출하고, 그 라운드부에 까지 미온을 주입하여 양측면부가 절곡된 소오스/드레인영역을 형성하는 반도체소자의 쇼트 방지구조를 제공함으로써 달성된다.

그리고, 본 발명의 목적은, 반도체기판에 STI공정으로 소자분리막을 형성하고 활성영역에 게이트산화막과 게이트전극층을 적층한 후, 패터닝하여 게이트를 형성하는 단계와; 상기 단계 후에 상기 소자분리막을 식각하여 일정 깊이의 단차를 형성하는 단계와; 상기 단계 후에 상기 게이트의 양측면에 미온을 주입하여 상기 소자분리막의 모서리 라운드부까지 절곡되도록 소오스/드레인영역을 형성하는 단계와; 상기 단계 후에 상기 게이트전극층의 상부면과 상기 소오스/드레인영역의 상부면에 박막의 살리사이드층을 형성하는

단계와; 상기 단계 후에 상기 결과물 상에 층간절연막을 적층한 후, 마스크 식각으로 콘택홀을 형성하여 상기 콘택홀 내에 금속층을 패립한 후 식각하여 메탈플러그를 형성하는 단계를 포함하여 이루어진 반도체 소자의 쇼트 방지 구조 제조방법을 제공함으로써 달성된다.

그리고, 상기 게이트의 스페이서로 절연막을 형성하는 것이 바람직 하다.

상기 소자분리막을 습식식각 혹은 건식식각으로 500 ~ 1000Å의 두께로 식각하도록 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일실시예에 대해 상세하게 설명하고자 한다.

도 2 내지 도 6은 본 발명의 반도체 소자의 쇼트 방지구조를 순차적으로 형성하는 방법을 보인 도면이다.

우선 본 발명의 쇼트방지구조를 살펴 보면, 반도체기판(10)에 STI공정으로 소자분리막(15)을 형성하고 활성영역에 게이트산화막(20)과 게이트전극층(25)을 적층한 후 패터닝하여 게이트(8)를 형성하는 반도체 소자 구조에 있어서, 상기 소자분리막(15)을 일정 깊이의 단차를 갖도록 식각하여 반도체기판의 모서리 라운드부(40)를 노출하고, 그 라운드부 부위까지 이온을 주입하여 양측단부가 절곡된 소오스/드레인영역(45)을 형성하도록 한다.

그리고, 본 발명의 반도체 소자의 쇼트 방지 구조 제조방법을 살펴 보면, 도 2에 도시된 바와 같이, 반도체기판(10)에 STI공정으로 소자분리막(15)을 형성하고, 반도체기판(10)의 활성영역에 게이트산화막(20)과 게이트전극층(25)을 적층한 후, 마스크식각으로 패터닝하여 게이트(8)를 형성하도록 한다.

그리고, 상기 게이트(8)에 이온을 주입하여 LDD이온주입영역(30)을 형성한 후, 게이트(8)의 양측면에 스페이서(35)를 형성하도록 한다.

도 3에 도시된 바와 같이, 상기 단계 후에 상기 소자분리막(15)을 식각하여 일정 깊이의 단차(a)를 형성하도록 한다.

그리고, 도 4에 도시된 바와 같이, 상기 단계 후에 상기 게이트(8)의 양측면에 이온을 주입하여 상기 소자분리막(15)의 모서리 라운드부(40)까지 절곡되도록 소오스/드레인영역(45)을 형성하도록 한다.

도 5에 도시된 바와 같이, 상기 단계 후에 상기 게이트전극층(25)의 상부면과 상기 소오스/드레인영역(45)의 상부면에 박막의 살리사이드층(55)을 형성한다.

이 때, 상기 살리사이드층(55)을 형성하기 전에 어닐링공정을 더 진행하는 것이 바람직 하다. 연속하여 상기 결과물상에 층간절연막(60)을 적층하도록 한다.

그리고, 도 6에 도시된 바와 같이, 상기 층간절연막(60)을 적층한 후, 마스크 식각으로 콘택홀을 형성하여 상기 콘택홀의 내에 금속층을 패립하여 식각하여 메탈플러그(70)를 형성하도록 한다.

이 때, 상기한 도 6에 도시된 바와 같이, 메탈플러그(70)를 형성하면서 약간 우측으로 미스얼라인(misalign)이 발생하더라도 소오스/드레인영역(45)의 양측 끝단부위가 약간 절곡되어져 형성되므로 메탈플러그(70)가 웰영역과 접촉되어서 발생하는 쇼트가 발생되어지지 않게 된다.

발명의 효과

상기한 바와 같이, 본 발명에 따른 반도체 소자의 쇼트 방지구조 및 그 제조방법을 이용하게 되면, 반도체기판에 STI공정으로 소자분리막을 형성하고 활성영역에 게이트전극층을 적층하여 마스크식각으로 게이트를 형성한 후, 소자분리막을 일정한 단차를 갖도록 식각한 후, 게이트의 양측 면부에 이온을 주입하여 소오스/드레인영역의 양측 끝단부를 라운드지게 형성하고, 살리사이드공정으로 소오스/드레인영역 상에 살리사이드층을 형성한 후, 후속공정에서 메탈플러그를 소오스/드레인영역에 연결하므로 메탈플러그와 웰영역과의 쇼트를 방지하여 소자의 특성을 향상하도록 하는 매우 유용하고 효과적인 발명이다.

청구항 1. 반도체기판에 STI공정으로 소자분리막을 형성하고 활성영역에 게이트산화막과 게이트전극층을 적층한 후 패터닝하여 게이트를 형성하는 반도체소자 구조에 있어서,

상기 소자분리막을 일정 깊이의 단차를 갖도록 식각하여 반도체기판의 모서리 라운드부를 노출하고, 그 라운드부까지 미온을 주입하여 양측단부가 절곡된 소오스/드레인영역을 형성하는 것을 특징으로 하는 반도체소자의 쇼트 방지구조.

청구항 2. 반도체기판에 STI공정으로 소자분리막을 형성하고 활성영역에 게이트산화막과 게이트전극층을 적층한 후 패터닝하여 게이트를 형성하는 단계와;

상기 단계 후에 상기 소자분리막을 식각하여 일정 깊이의 단차를 형성하는 단계와;

상기 단계 후에 상기 게이트의 양측면에 미온을 주입하여 상기 소자분리막의 모서리 라운드부까지 절곡되도록 소오스/드레인영역을 형성하는 단계와;

상기 단계 후에 상기 게이트전극층의 상부면과 상기 소오스/드레인영역의 상부면에 박막의살리사이드층을 형성하는 단계와;

상기 단계 후에 상기 결과물 상에 용간접연막을 적층한 후, 마스크 식각으로 콘택홀을 형성하여 상기 콘택홀의 내에 금속층을 매립하여 식각하여 메탈플러그를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체소자의 쇼트 방지 구조 제조방법.

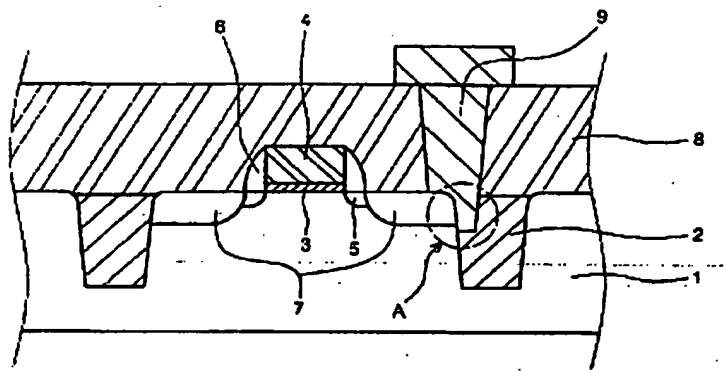
청구항 3. 제 1 항에 있어서, 상기 소자분리막을 습식식각으로 500 ~ 1000Å의 두께로 식각하는 것을 특징으로 하는 반도체소자의 쇼트 방지 구조 제조방법.

청구항 4. 제 1 항에 있어서, 상기 소자분리막을 건식식각으로 500 ~ 1000Å의 두께로 식각하는 것을 특징으로 하는 반도체소자의 쇼트 방지 구조 제조방법.

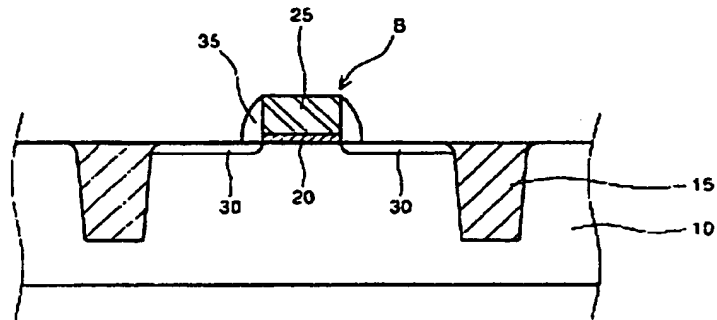
청구항 5. 제 1 항에 있어서, 상기 살리사이드층을 형성하기 전에 어닐링공정을 진행하는 것을 특징으로 하는 반도체소자의 쇼트 방지 구조 제조방법.

도면

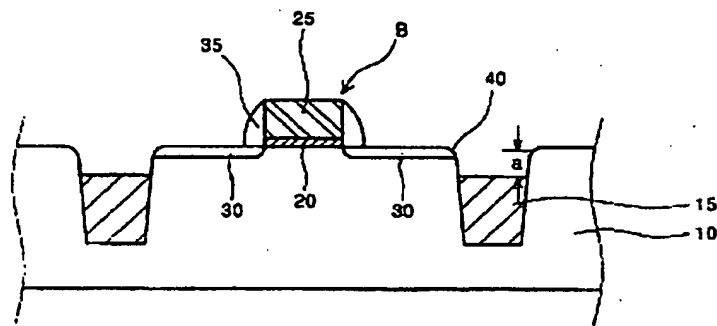
도면1



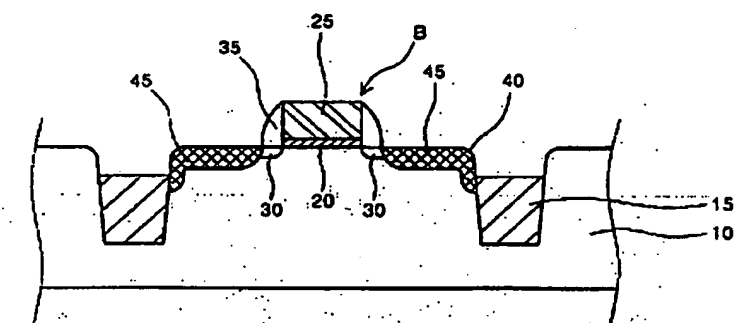
図B2



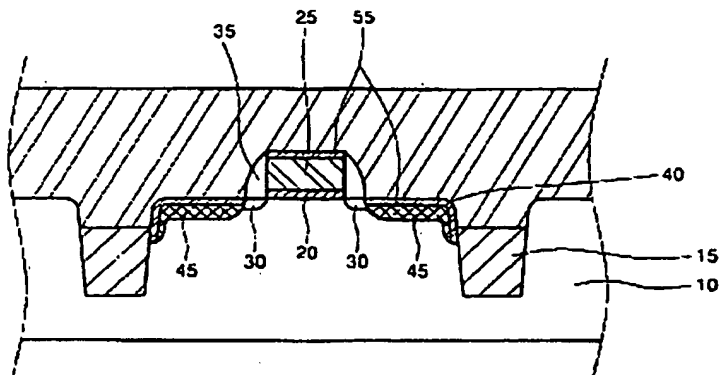
図B3



図B4



도 85



도 86

